

Enfocando a Codificação de Canal em Transmissão 8-VSB para ATSC

Fernando César Comparsi de Castro, Maria Cristina F. de Castro, Dalton Soares Arantes, Yuzo Iano

Universidade Estadual de Campinas - Faculdade de Engenharia Elétrica e de Computação
Departamento de Comunicações - DECOM-FEEC-UNICAMP

Resumo: Este artigo descreve o sistema de transmissão para TV Digital com modulação 8-VSB (8-level Vestigial Side Band), proposta pela ATSC (Advanced Television Systems Committee), enfocando a etapa de codificação de canal. São apresentados resultados de simulação quanto ao desempenho dessa etapa face ao ruído gaussiano aditivo.

I. INTRODUÇÃO

O sistema 8-VSB da ATSC [1] foi proposto em substituição ao veterano sistema NTSC para transmissão terrestre de sinais de televisão. O sistema 8-VSB é concebido para, ocupando os mesmos 6 MHz do sistema NTSC, apresentar desempenho superior face aos diversos tipos de degradação de sinal impostos pelo canal de transmissão. Como possíveis degradações citamos o desvanecimento de sinal, interferência, surtos de ruído e, principalmente, fantasmas (*multipath*). O sistema NTSC apresenta qualidade de imagem considerada apenas marginal quando a relação sinal-ruído (*SNR – signal to noise ratio*) cai abaixo de 34 dB, enquanto que o sistema 8-VSB mantém qualidade de imagem constante até uma *SNR* tão baixa como 15 dB [12]. Essa robustez quanto ao ruído e a capacidade de compensação dos efeitos de *multipath* constituem, na opinião dos autores, o grande diferencial do sistema 8-VSB em relação ao sistema NTSC.

II. O SISTEMA 8 -VSB

Nesta seção descrevemos em linhas gerais o sistema 8-VSB. As Figuras 1 e 2 mostram, respectivamente, o diagrama geral de blocos do transmissor e do receptor 8-VSB. Os blocos internos ao retângulo tracejado em ambas as figuras compreendem a etapa de processamento de dados responsável pela codificação de canal. A informação de entrada do transmissor 8-VSB é constituída de pacotes de 188 bytes provenientes da camada de transporte de um codificador MPEG-2 [3][4], o qual previamente comprimiu o sinal de vídeo e áudio de forma que temos na entrada do transmissor uma taxa de informação de 19.39 Mbps [1][2].

A saída da Etapa de Codificação é a saída do Codificador Convolutivo, que é constituída de uma seqüência de símbolos 8-VSB, cada um desses símbolos com 3 bits, os quais podem assumir os valores $\{-7, -5, -3, -1, 1, 3, 5, 7\}$. A cada pacote MPEG-2 de 188 bytes que entra na etapa de codificação, é

gerada na saída da mesma uma seqüência de 828 símbolos 8-VSB. Cada seqüência de 828 símbolos 8-VSB, ao passar pelo Multiplexador, é pré-acrescida da seqüência de símbolos $[5, -5, -5, 5]$, denominada de Sincronismo de Segmento. O Sincronismo de Segmento, seguido pela seqüência de 828 símbolos 8-VSB, é denominado Segmento de Dados, portanto cada Segmento de Dados é formado de 832 símbolos. No início de cada série de 312 Segmentos de Dados o Multiplexador acrescenta uma seqüência de 832 símbolos, cujos 4 símbolos iniciais representam o Sincronismo de Segmento, seguidos de uma seqüência de 828 símbolos especiais denominada Sincronismo de Campo. O Sincronismo de Segmento mais Sincronismo de Campo seguidos dos 312 Segmentos de Dados constituem o Campo, portanto cada Campo é formado de 313 seqüências de 832 símbolos. O conjunto de dois Campos é denominado Quadro.

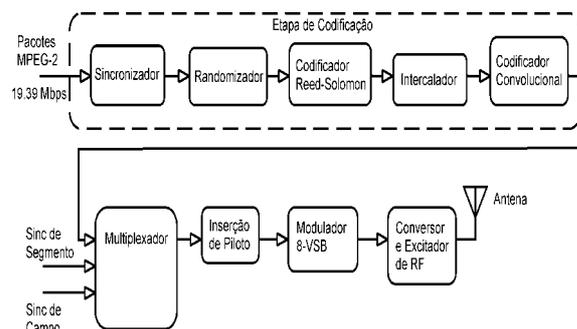


Figura 1. Diagrama de blocos do transmissor 8-VSB.

A Figura 3 é a representação bidimensional da seqüência unidimensional de $2 \times 313 \times 832$ símbolos 8-VSB compreendida em um Quadro.

A representação é feita em duas dimensões apenas para fins descritivos, pois do ponto de vista operacional os símbolos de um Quadro ocorrem seqüencialmente ao longo do tempo.

A Figura 4 mostra os valores dos 200 primeiros símbolos de um Segmento de Dados típico de um Quadro 8-VSB na saída da etapa de codificação.

A função do Sincronismo de Segmento é amarrar o intervalo de temporização (*clock*) do receptor com o do transmissor. No receptor, um filtro correlator no bloco Restauração de Sincronismo, utilizando a alta correlação proveniente da periodicidade do Sincronismo de Segmento, recupera o intervalo de *clock* original do transmissor. A função do Sincronismo de Campo é prover, para o Equalizador do receptor, seqüências de símbolos pré-conhecidas (PN511 e PN63 [1]), as quais são inseridas no

Sincronismo de Campo gerado no transmissor. Essas seqüências são utilizadas no receptor como referência de erro para algum algoritmo adaptativo (em geral o LMS - *Least Mean Square*) aplicado aos coeficientes de um filtro usualmente FIR (*Finite Impulse Response*) transversal, de tal forma que o filtro inverso assim obtido possa cancelar o efeito de *multipath* [2].

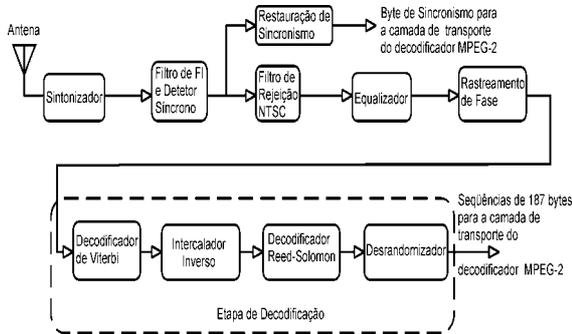


Figura 2. Diagrama de blocos do receptor 8-VSB.

Para que os sinais de Sincronismo de Campo e Sincronismo de Segmento possam ser extraídos no receptor, é necessário que alguma referência temporal (referência de fase) seja transmitida. Para tanto, a saída do Multiplexador passa pelo bloco Inserção de Piloto, o qual adiciona digitalmente o nível DC 1.25 a todos os símbolos. Note que o conjunto de níveis nominais dos símbolos 8-VSB na saída do Multiplexador é $\{-7, -5, -3, -1, 1, 3, 5, 7\}$. A adição deste nível DC, após o Modulador 8-VSB e o Conversor de RF, resulta na geração de uma pequena portadora na parte inferior do espectro do canal. No receptor, um PLL (*Phase-Locked Loop*) no bloco Detetor Síncrono amarra o instante “zero” do receptor com o do transmissor através da informação de fase da portadora piloto.

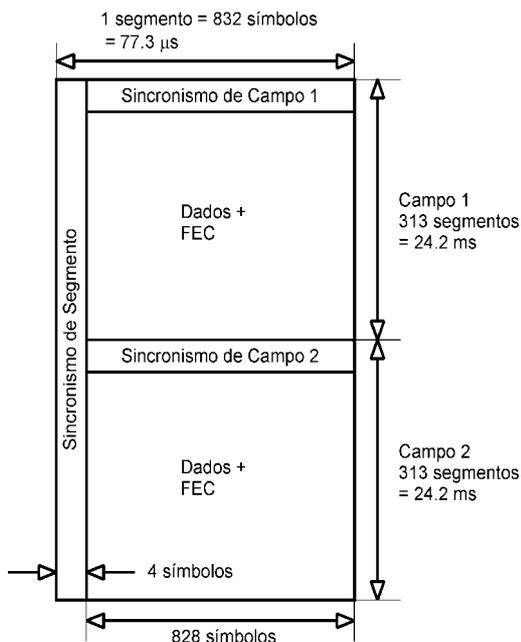


Figura 3. Organização de um Quadro 8-VSB.

Segue ao receptor o decodificador MPEG-2, o qual reconstrói os sinais de vídeo e áudio [4]. Os pacotes de 188 bytes da camada de transporte MPEG-2 [3] são

obtidos a partir da reinserção do byte de sincronismo nas seqüências de 187 bytes na saída do Desrandomizador.

O Filtro de Rejeição NTSC é um recurso temporário no sistema 8-VSB [1][2]. Ele ficará ativo apenas durante o período de transição do sistema NTSC para o 8-VSB, devendo ser eliminado ao seu término [2]. Assim, este artigo assume esta fase como já ultrapassada, e fará a análise da etapa de processamento de dados considerando esse recurso como inexistente.

A seqüência de 828 símbolos que segue os 4 símbolos do Sincronismo de Segmento em cada Segmento de Dados contém informação dos pacotes de dados MPEG-2. Essa informação encontra-se acrescida de redundância propositalmente inserida pelos algoritmos de correção de erro (*FEC – Forward Error Correction*) da etapa de codificação.

Observe-se na Figura 4 o caráter randômico dos níveis 8-VSB, o que contribui para a geração de um espectro plano dentro do canal de 6 MHz.

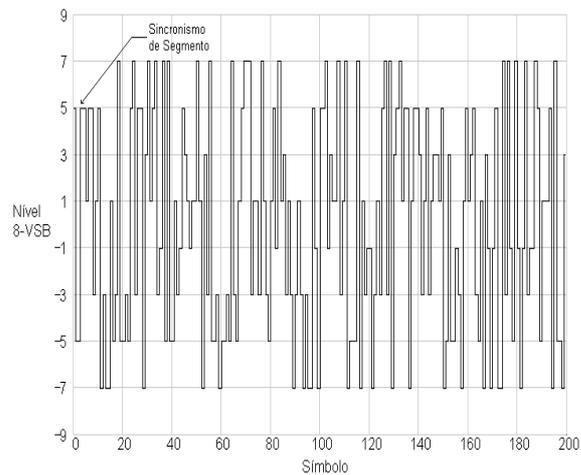


Figura 4. Segmento de Dados típico de um Quadro 8-VSB.

A entrada da etapa de decodificação do receptor é a entrada do Decodificador de Viterbi. Nesse ponto do diagrama de blocos do receptor, a informação apresenta a mesma estrutura de dados mostrada nas Figuras 3 e 4. Ou seja, se nenhum erro incorrigível ocorreu, o fluxo de informação neste ponto é uma réplica daquele presente na saída do Codificador Convolutacional no transmissor. Para cada seqüência de 828 símbolos 8-VSB que entra na etapa de decodificação, é gerada na saída da mesma uma seqüência de 187 bytes, os quais formarão o pacote de 188 bytes da camada de transporte MPEG-2 mediante a adição do byte de sincronismo.

III. CODIFICADOR DE CANAL

Nesta seção passamos a analisar a etapa de codificação de canal do transmissor 8-VSB, conforme mostra a Figura 1. A análise que se segue é subsidiada pelo simulador implementado segundo uma possível versão para fins de estudo do desempenho do sistema ATSC 8-VSB. Assim, a forma de estruturação e processamento da informação, nos aspectos que a

norma ATSC [1] deixa a critério do projetista, é implementada e concebida segundo a versão citada.

Para cada pacote MPEG-2 de 188 bytes que entra na etapa de codificação, o Sincronizador extrai o byte de sincronismo (o primeiro byte) e armazena a resultante seqüência de 187 bytes em um buffer de 58344 bytes de capacidade. O byte de sincronismo será substituído no Multiplexador pelo Sincronismo de Segmento. O buffer estará cheio quando armazenar 312 seqüências de 187 bytes, perfazendo nessa situação o número de bytes necessários para que a etapa de codificação gere um Campo 8-VSB completo em sua saída.

Uma vez preenchido o buffer, o Randomizador faz a operação lógica ou-exclusivo (xor) entre os bits de cada byte do buffer e os bits do byte de saída gerado pelo gerador de seqüência pseudo-aleatória mostrado na Figura 5. Essa operação garante um espectro de potência plano dentro do canal de 6 MHz, maximizando a eficiência da distribuição de potência na ocupação do canal de transmissão.

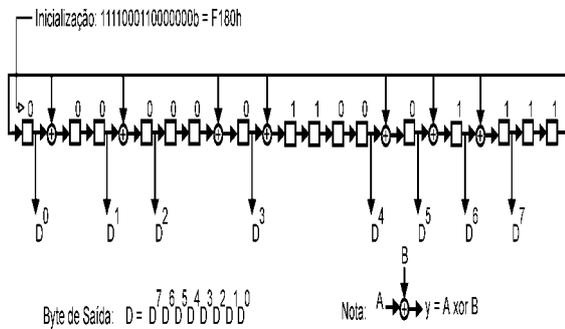


Figura 5. Gerador de seqüência pseudo-aleatória.

A seqüência pseudo-aleatória é gerada através de um registrador de deslocamento (shift register) de 16 bits [6]. O shift register é inicializado com o valor hexadecimal F180h no início de cada Campo [1].

Cada uma das seqüências de 187 bytes armazenadas no buffer de 58344 bytes é processada pelo Codificador Reed-Solomon. Para cada uma delas, o Codificador Reed-Solomon acrescenta uma seqüência de 20 bytes no final e armazena a resultante seqüência de 207 bytes em um buffer de 64584 bytes (implementação de apenas uma extensão do primeiro buffer). Esse número de bytes corresponde a 312 seqüências de 207 bytes armazenadas, o que equivale a um Campo 8-VSB completo na saída da Etapa de Codificação. No contexto de códigos Reed-Solomon, cada seqüência de 187 bytes é denominada Mensagem e cada seqüência de 207 bytes é denominada Palavra-Código. Os 20 bytes acrescentados ao final de cada Mensagem são denominados de Paridade, os quais são a informação redundante adicionada à Mensagem para fins de correção de erro. Existe um mapeamento unívoco entre cada Mensagem e sua Paridade [10], e como o decodificador “conhece” todas as possíveis palavras-códigos, quando uma Palavra-Código é corrompida no canal de transmissão o erro pode ser detectado e eventualmente corrigido no receptor [6].

Os códigos Reed-Solomon são uma sub-classe de códigos de bloco denominados Bose-Chaudhuri-

Hocquenghem (BCH) [5]. Um código Reed-Solomon RS(n,k) é caracterizado pelo número de símbolos n por Palavra-Código, pelo número de símbolos k por Mensagem e pelo número de bits m por símbolo [10]. Portanto, a etapa de codificação/decodificação do sistema 8-VSB ATSC utiliza um código de bloco RS(207,187) com m=8 bits (1-byte) por símbolo. Um código RS(n,k) é considerado um código sistemático [5] porque os símbolos da Mensagem não são transformados, mas apenas acrescentados dos n-k símbolos de paridade. A taxa (code rate-medida da eficiência de transmissão de informação) para um código RS(n,k) é k/n , e o número máximo de símbolos passíveis de serem corrigidos em uma Palavra-Código recebida sob erro é $(n-k-1)/2$ para (n-k) ímpar ou $(n-k)/2$ para (n-k) par. Portanto o código RS(207,187) com m=8 tem capacidade de corrigir até 10 bytes (10 símbolos) em uma Palavra-Código recebida sob erro, não importando quais dos 207 bytes tenham sido corrompidos. Em um código de bloco cujos símbolos são apenas bits (m=1), como nos códigos de Hamming binários por exemplo [5], quando o número de bits recebidos sob erro excede o número de bits que o código tem capacidade de corrigir, a Palavra Código recebida é sumariamente “corrigida” para alguma outra totalmente diferente da que foi originalmente transmitida. Isso não acontece em um código Reed-Solomon. Para o código RS(207,187) com m=8, se o número de erros exceder a 10 bytes, a Palavra-Código recebida não poderá ser corrigida, mas o algoritmo corretor de erros (algoritmo de Berlekamp [6]) ainda assim identifica que a Palavra-Código recebida é incorrigível. Mas a grande vantagem do código Reed-Solomon torna-se aparente quando a informação a ser decodificada é proveniente de um fluxo de bits contínuo (sem delimitação de blocos), como aquele gerado por um Decodificador de Viterbi [5][6][9]. Nessa situação, a capacidade de correção de erro do sistema concatenado Viterbi/Reed-Solomon é ainda maior porque o código Reed-Solomon corrigirá os símbolos como um todo, independentemente de qual bit nos símbolos em erro tenha sido corrompido.

O buffer de 64584 bytes na saída do codificador Reed-Solomon, quando preenchido com as 312 Palavras-Código de 207 bytes, é submetido a um processo de “embaralhamento” das posições de seus bytes através do Intercalador. Dois intercaladores compõem o bloco Intercalador do sistema 8-VSB ATSC. O primeiro é um Intercalador Convolutivo (*Convolutional Interleaver* [6][7]), mostrado na Figura 6, o qual intercala bytes associados a símbolos que podem pertencer a Segmentos de Dados distintos no Campo 8-VSB. O segundo é um Intercalador de Blocos (*Block Interleaver* [6][7]) o qual intercala bytes associados a símbolos pertencentes ao mesmo Segmento de Dados. Ambos os intercaladores diminuem a correlação temporal entre os bytes em erro entregues ao bloco Decodificador Reed-Solomon no receptor. No transmissor, a saída do Intercalador é o Codificador Convolutivo. Na realidade, esse bloco é constituído não somente de um único codificador,

mas sim, de 12 codificadores convolucionais como mostra a Figura 7.

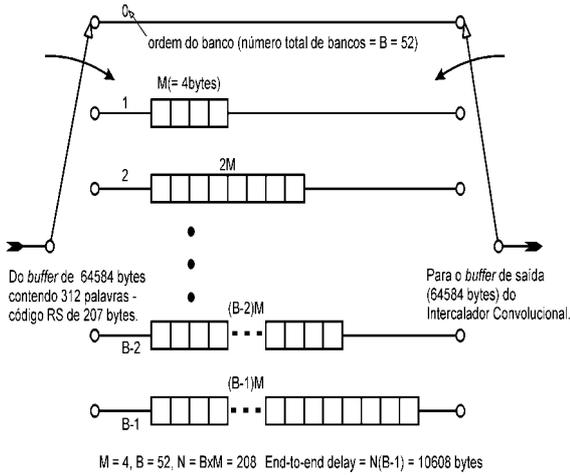


Figura 6. Intercalador Convolutivo.

O Intercalador Convolutivo é formado por 52 bancos de shift registers operando sobre bytes. Esse intercalador introduz um atraso de 10608 bytes denominado *end-to-end delay* [6] que deverá ser compensado no receptor. A posição das chaves com relação à ordem do banco obedece à seqüência [0,1, ..., 51,0...], sendo a posição 0 inicial sincronizada com o primeiro byte de dados do Campo.

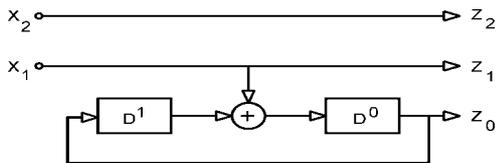


Figura 7. Diagrama interno de um sub-bloco codificador

A Figura 7 mostra um dos 12 idênticos codificadores (sub-bloco) que compõem o bloco Codificador Convolutivo, composto por um *shift register* de 2 bits com realimentação [5][6]. Para cada 2 bits aplicados respectivamente aos nós de entrada (X_2, X_1) o codificador gera 3 bits nos respectivos nós de saída (Z_2, Z_1, Z_0). O bit atribuído ao nó de entrada X_2 é transmitido sem codificação para o nó de saída Z_2 . Durante o período de transição do sistema NTSC para o 8-VSB haverá o pré-codificador do filtro de interferência NTSC entre X_2 e Z_2 [1][2].

A operação do bloco Intercalador na Figura 1, constituído pelo Intercalador Convolutivo e pelo Intercalador de Blocos, pode ser descrita conforme segue. O Intercalador Convolutivo processa as 312 palavras-código Reed-Solomon em sua entrada colocando o resultado em um buffer de saída com capacidade para 64584 bytes. Em função do símbolo Ψ que está sendo gerado na saída da etapa de codificação e a qual segmento Ω ele pertence, o Intercalador de Blocos seleciona o par de bits (b^u, b^v), $u, v = \{0, 1, \dots, 7\}$, no byte B do buffer de saída do Intercalador Convolutivo, $B = \{0, 1, \dots, 64583\}$, e atribui (b^u, b^v) aos nós de entrada (X_2, X_1) do Codificador Convolutivo T, $T = \{0, 1, \dots, 11\}$. O codificador T gera então em sua saída a trinca de bits

relativa a (Z_2, Z_1, Z_0), a qual é convertida pelo Intercalador de Blocos para um dos elementos de uma matriz M de símbolos 8-VSB localizada na saída do bloco Codificador Convolutivo. Cada trinca (Z_2, Z_1, Z_0) é atribuída à posição definida pela linha Ω coluna Ψ de M , sendo M uma matriz 312×828 . A relação que define B, T, u e v como função de Ω e Ψ é definida em [1]. Por exemplo, para se gerar o símbolo $\Psi=12$ do segmento $\Omega=2$ de M , o Intercalador de Blocos seleciona o par de bits (b^u, b^v), $u=1, v=0$, no byte B=412 do buffer de saída do Intercalador Convolutivo, e atribui (b^u, b^v) aos nós de entrada (X_2, X_1) do Codificador Convolutivo T=8. O Codificador Convolutivo #8 gera então em sua saída a trinca de bits relativa a (Z_2, Z_1, Z_0), a qual é atribuída pelo Intercalador de Blocos ao elemento de M na posição definida pela linha $\Omega=2$ coluna $\Psi=12$.

Para otimizar as propriedades de distância entre símbolos [8] representados pelos 8 níveis VSB, cada elemento (Z_2, Z_1, Z_0) de M é transformado para o valor indicado pelo mapeamento da Tabela 1.

| Z_2 | Z_1 | Z_0 | Nível 8-VSB |
|-------|-------|-------|-------------|
| 0 | 0 | 0 | -7 |
| 0 | 0 | 1 | -5 |
| 0 | 1 | 0 | -3 |
| 0 | 1 | 1 | -1 |
| 1 | 0 | 0 | +1 |
| 1 | 0 | 1 | +3 |
| 1 | 1 | 0 | +5 |
| 1 | 1 | 1 | +7 |

Tabela 1. Mapeamento (Z_2, Z_1, Z_0) \Rightarrow Nível 8-VSB

Uma vez transformada, a matriz M de símbolos 8-VSB é enviada para o Multiplexador como um vetor unidimensional V de 258336 símbolos 8-VSB. A correspondência entre os elementos de M e V é dada por:

$$V_i = M_{\lfloor i/828 \rfloor, i \bmod 828}, \quad i=0,1,\dots,258335 \quad (1)$$

onde o operador $\lfloor \cdot \rfloor$ retorna a parte inteira do argumento, e o operador $p \bmod q$ retorna o resto da divisão entre p e q.

O fluxo de informação é tal que os símbolos V_0 e V_{258335} são respectivamente, o primeiro e o último símbolos a serem enviados ao Multiplexador. O Multiplexador insere as seqüências de sincronismo conforme descrito anteriormente, gerando então um Campo completo de símbolos 8-VSB.

IV. DECODIFICADOR

Nesta seção analisamos a etapa de decodificação de canal do receptor 8-VSB, conforme mostrado na Figura 2. Neste trabalho, a saída do bloco de Rastreamento de Fase é colocada em um vetor V de 258336 símbolos, cada um representado por um dos 8

níveis VSB. Assim como no transmissor, o receptor possui uma matriz de símbolos 8-VSB \mathbf{M} obtida de \mathbf{V} conforme a Equação 1. Uma vez obtido \mathbf{M} , cada um de seus elementos é transformado para a trinca de bits (Z_2, Z_1, Z_0) usando o mapeamento inverso da Tabela 1. O bloco Decodificador de Viterbi [5], o qual na realidade é composto por um banco de 12 decodificadores, em conjunto com o Intercalador de Bloco converte os 312×828 símbolos de \mathbf{M} nos 64584 bytes de um buffer localizado na entrada do Intercalador Convolucional Inverso. O símbolo Ψ do segmento Ω de \mathbf{M} é selecionado pelo Intercalador Inverso de Blocos, o qual atribui os 3 bits do símbolo aos nós de entrada (Z_2, Z_1, Z_0) do Decodificador de Viterbi T (ver Figura 8). O Intercalador Inverso de Blocos atribui o valor dos nós de saída (X_2, X_1) do Decodificador de Viterbi T ao par de bits (b^u, b^v) , no byte B do buffer de entrada do Intercalador Convolucional Inverso. A relação que define B, T, u e v como função de Ω e Ψ é a mesma utilizada no transmissor.

O Intercalador Convolucional Inverso é idêntico ao intercalador mostrado na Figura 6, exceto que a posição das chaves com relação à ordem do banco obedece à seqüência $[51, 50, \dots, 0, 51, \dots]$, sendo a posição 51 inicial sincronizada com o primeiro byte do buffer de entrada. O buffer de saída do Intercalador Convolucional Inverso é uma fila (*queue*) com capacidade para 2×64584 bytes, ou seja, capacidade para 2 Campos de dados completos. A saída é tomada 10608 bytes em atraso relativo ao início da fila, de forma a compensar o atraso intrínseco ao Intercalador Convolucional.

O Decodificador Reed-Solomon então decodifica e corrige (até 10 bytes sob erro) as 312 palavras-código provenientes do buffer de saída do Intercalador Convolucional Inverso, gerando 312 mensagens de 187 bytes.

Finalmente, o Desrandomizador faz a operação lógica ou-exclusivo (xor) entre os bits de cada byte das 312 mensagens e os bits do byte de saída gerado pelo gerador de seqüência pseudo-randômica mostrado na Figura 5. Cada uma das mensagens de 187 bytes é então enviada para processamento na camada de transporte do decodificador MPEG-2.

A Figura 8 mostra o diagrama interno de um dos 12 idênticos decodificadores que compõem o bloco Decodificador de Viterbi [5] mostrados na Figura 2. É mostrado o diagrama de estados que rege a treliça, o qual é associado ao codificador convolucional da Figura 7 [6]. No exemplo de operação mostrado, u é a seqüência na entrada X_1 do codificador da Figura 7, v é a saída do codificador (pares Z_0-Z_1), r é a seqüência v recebida com erro na entrada da treliça e d é a saída decodificada (e corrigida) pela treliça. A métrica utilizada é a Distância de Hamming.

A decodificação concatenada Viterbi/Reed-Solomon com Intercalador intermediário exhibe melhor capacidade de correção de erros em um canal com ruído gaussiano aditivo do que qualquer sistema corretor de erros de complexidade semelhante [6]. Isso ocorre basicamente devido às características de

desempenho dos dois sistemas individuais serem aproximadamente complementares.

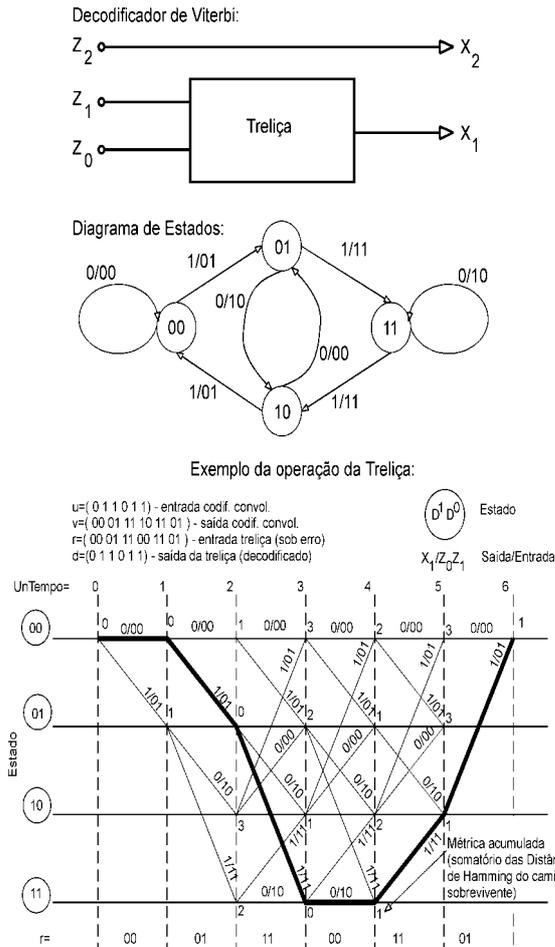


Figura 8. Diagrama interno de um dos 12 idênticos decodificadores que compõem o bloco Decodificador de Viterbi

Por exemplo, devido à natureza multi-bit de seus símbolos, os códigos Reed-Solomon têm sua eficiência de decodificação maximizada quando os erros a serem corrigidos ocorrem em rajadas (*bursts*) curtas de bits, mas perdem em eficiência quando os erros nos bits ocorrem de maneira descorrelacionada no tempo. No entanto, essa deficiência é compensada pelo Decodificador de Viterbi, o qual é bastante adequado para erros desse tipo. Por outro lado, o Decodificador de Viterbi também falha quando tem a sua capacidade de correção de erros excedida, gerando nessa situação uma longa seqüência de erros em sua saída [6]. Essa seqüência de erros é em geral muito mais longa do que as curtas rajadas de bits que maximizam a eficiência do código Reed-Solomon, podendo inclusive exceder o número máximo de correção de símbolos. De fato, se nessa situação aplicarmos a saída do decodificador de Viterbi diretamente na entrada do decodificador Reed-Solomon, este último perderá eficiência ou até falhará na correção dos símbolos porque as palavras-código em sua entrada apresentarão alta correlação temporal entre os símbolos em erro [13]. Esse problema é solucionado pelo Intercalador Inverso inserido entre os dois decodificadores, o qual “embaralha” a seqüência de entrada do decodificador

Reed-Solomon, minimizando qualquer eventual correlação entre símbolos em erro originado por falha do Decodificador de Viterbi.

V. VERIFICAÇÃO DE RESULTADOS

Nesta seção apresentamos o desempenho conjunto das etapas de codificação/decodificação (codec) obtido através de simulação. A saída da Etapa de Codificação (Figura 1) é ligada à entrada da Etapa de Decodificação (Figura 2) através de um gerador de ruído Gaussiano aditivo. O simulador fixa a energia por símbolo 8-VSB, E_s , na entrada da Etapa de Decodificação e adiciona ruído Gaussiano de variância N_o de acordo com a razão E_s/N_o estipulada. É feita então a contagem de quantas Palavras-Código Reed-Solomon não foram corrigidas com sucesso na Etapa de Decodificação e é determinada a taxa de erro de bit BER (Bit Error Rate). A BER é definida pela razão entre o número de bits decodificados erroneamente e o número total de bits decodificados.

O simulador obtém cada ponto da curva $BER=f(E_s/N_o)$, mostrada na Figura 9, utilizando como critério de parada 5×10^6 bits sob erro ou 500×10^6 bits processados.

Na determinação da BER, essa seção segue a heurística proposta por Odenwalder [14], a qual é adequada para códigos concatenados Viterbi/Reed-Solomon. São assumidos os seguintes eventos em caso de falha do decodificador Reed-Solomon ao tentar corrigir uma Palavra-Código recebida sob erro :

1- São adicionados $(n-k)/2 = 10$ bytes = 80 bits incorretos à Palavra-Código (pelo fato de o decodificador Reed-Solomon “corrigi-la” para uma Palavra-Código incorreta).

2- Todos os bits em um byte incorreto são também incorretos.

3- Todos os bytes incorretos em uma Palavra-Código ocorrem nos 187 bytes correspondentes à Mensagem.

A Figura 9 mostra o desempenho normalizado do codec 8-VSB com um gerador de bytes aleatórios (distribuição uniforme) aplicado em sua entrada.

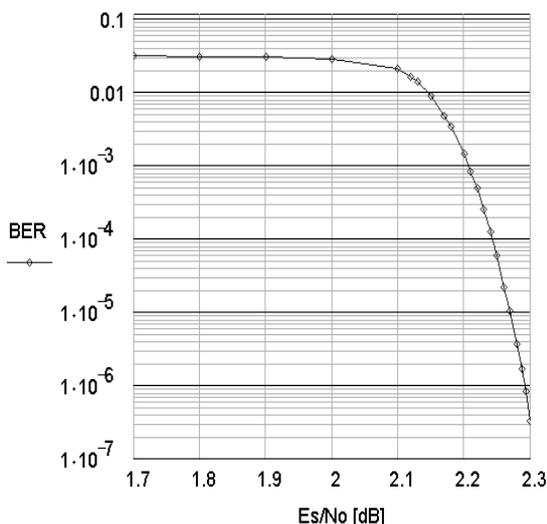


Figura 9. Desempenho normalizado do codec 8-VSB.

VI. CONCLUSÃO

Este trabalho analisou e avaliou o desempenho da etapa de codificação de canal do sistema de transmissão 8-VSB da ATSC. Os resultados demonstram que esta etapa do sistema é bastante robusta quanto ao ruído gaussiano.

VII. AGRADECIMENTOS

Os autores deste artigo agradecem o apoio e o suporte fornecido pelos seguintes órgãos de fomento à pesquisa: **PUC-RS** - Pontifícia Universidade Católica do Rio Grande do Sul; **FAPESP** - Fundação de Amparo à Pesquisa do Estado de São Paulo; **CNPq** - Conselho Nacional de Desenvolvimento Científico e Tecnológico; **CAPEs** - Coordenação de Aperfeiçoamento de Pessoal de Nível Superior; **CPqD** - Fundação Centro de Pesquisa e Desenvolvimento em Telecomunicações; **FAEP** - Fundo de Apoio ao Ensino e à Pesquisa da **UNICAMP**.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] ATSC Standard A/53, ATSC Digital Television Standard.
- [2] ATSC Document A/54, Guide to the Use of the ATSC Digital Television Standard .
- [3] ISO/IEC IS 13818-1, International Standard (1994), MPEG-2 Systems.
- [4] ISO/IEC IS 13818-2, International Standard (1994), MPEG-2 Video.
- [5] S. Lin and D. J. Costello Jr. Error Control Coding. Prentice-Hall, Englewood Cliff, 1983.
- [6] G. C. Clark Jr and J. B. Cain. Error-Correction Coding for Digital Communications. Plenum Press, 1988.
- [7] W. W. Peterson and E. J. Weldon Jr. Error-Correcting Codes. MIT Press, 1990.
- [8] G. Ungerboeck. Channel coding with multilevel/phase signals. IEEE Transactions on Information Theory, pp. 55-67, vol. IT-28, No. 1, January 1982.
- [9] INTEL Application Note AP-269. Using MMX Instructions to Implement Viterbi Decoding. INTEL, 1996.
- [10] Wicker. Error Control Systems for Digital Communication and Storage. Prentice-Hall, 1995.
- [11] Wilson. Digital Modulation and Coding. Prentice-Hall, 1995.
- [12] G. Sgrignoli. ATSC Transmission System: VSB Tutorial. Zenith Electronics Corporation. <http://www.zenith.com/main/cool/tech/vsbtutorial/vsbtutorial.htm>
- [13] A. M. Michelson and A.H. Levesque. Error Control Techniques For Digital Communication. Wiley & Sons, 1985.
- [14] J. P. Odenwalder. Error Control Coding Handbook (Final Report). Linkabit Corp. report for USAF, 1976.

Fernando César Comparsi De Castro nasceu em Porto Alegre, RS, em 12 de novembro de 1959. Formou-se em Engenharia Elétrica na Pontifícia Universidade Católica do Rio Grande de Sul (PUCRS) em 1983 e obteve o grau de Mestre em Engenharia Elétrica na mesma universidade em 1995. É professor do Departamento de Engenharia Elétrica da Pontifícia Universidade Católica do Rio Grande de Sul desde 1984. Presentemente faz Doutorado em Engenharia Elétrica no Departamento de Comunicações - Faculdade de Engenharia Elétrica e Computação - Universidade Estadual de Campinas (UNICAMP) - SP. Suas principais áreas de interesse são redes neurais, reconhecimento de padrões, processamento de imagens, codificação e compressão de sinais.

Maria Cristina Felippetto De Castro nasceu em Porto Alegre, RS, em 14 de julho de 1958. Formou-se em Engenharia Elétrica na Pontifícia Universidade Católica do Rio Grande de Sul (PUCRS) em 1983 e obteve o grau de Mestre em Engenharia Elétrica na mesma universidade em 1996. Presentemente faz Doutorado em Engenharia Elétrica no Departamento de Comunicações - Faculdade de Engenharia Elétrica e Computação - Universidade Estadual de Campinas (UNICAMP) - SP. Suas principais áreas de interesse são redes neurais, algoritmos de aprendizado, processamento de imagens, codificação e compressão de dados e predição de séries temporais.

Dalton Soares Arantes nasceu em Capitólio, MG, em 25 de abril de 1946. Formou-se em Engenharia

Eletrônica na Universidade do Brasil (atual UFRJ), em 1969, obteve o título de Mestre em Engenharia Elétrica na Universidade Estadual de Campinas - UNICAMP, em 1972, e o título de PhD em Engenharia Elétrica na Cornell University, Ithaca, NY, USA, em 1976. De 1993 a 1995 realizou estágio de Pós-Doutorado na University of New Mexico, em Albuquerque, NM, USA. Atualmente é Professor Titular do Departamento de Comunicações da Faculdade de Engenharia Elétrica e de Computação da UNICAMP, onde atua desde 1971. Suas principais áreas de interesse são sistemas de comunicações, codificação e compressão de sinais, processamento de imagens e programação matemática.

Yuzo Iano recebeu os títulos de Engenheiro Eletrônico, Mestre e Doutor em Engenharia Elétrica através da UNICAMP (Universidade Estadual de Campinas). Atualmente é Professor Adjunto do Departamento de Comunicações da Faculdade de Engenharia Elétrica e de Computação da UNICAMP (DECOM/FEEC/UNICAMP). É o responsável pelo Laboratório de Comunicações Visuais do DECOM. Seus interesses estão voltados para processamento digital de sinais de áudio e vídeo. Trabalha com pesquisas em televisão e em especial com a HDTV desde 1986.

e-mail: decastro@ee.pucrs.br,
cristina@decom.fee.unicamp.br,
dalton@decom.fee.unicamp.br,
yuzo@decom.fee.unicamp.br